

Розширений план лекцій

з дисципліни «Цифрові процесори обробки сигналів»

лекційних годин – 46

Викладач – Цевух І.В.

ЗМІСТОВИЙ МОДУЛЬ 1

МЕТОДИ ТА ЗАСОБИ АПАРАТНО-ПРОГРАМНОЇ РЕАЛІЗАЦІЇ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ

Тема 1. ОСНОВНІ ПОНЯТТЯ І ЗАСОБИ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ

Лекція № 1. Основні поняття цифрової обробки сигналів

1. Поняття про первинну та вторинну обробки сигналів
2. Основні типи алгоритмів цифрової обробки сигналів
3. Технічні засоби комплексу обробки сигналів
4. Мікропроцесори, мікроконтролери, цифрові процесори обробки сигналів(ЦПОС)

Лекція № 2. Архітектури побудови ЦПОС

1. Модифікована гарвардська архітектура
2. Супергарвардська архітектура
3. Мікросигнальна гарвардська архітектура
4. Суперскалярна архітектура
5. Архітектура на базі ARM ядра

Тема 2. ЦПОС З МОДИФІКОВАНОЮ ГАРВАРДСЬКОЮ АРХІТЕКТУРОЮ

Лекція № 3. Апаратні засоби ЦПОС з модифікованою гарвардською архітектурою

1. Архітектура арифметичних пристроїв
2. Архітектура інтерфейсних пристроїв
3. Система переривань
4. Система керування програмою

Лекція № 4. Програмні засоби ЦПОС з модифікованою гарвардською архітектурою

1. Класифікація команд ЦПОС ADSP-218X по функціональному призначенню
2. Стисла характеристика мови асемблера фірми ADSP-21XX
3. Основи технології розробки програмного забезпечення з використанням асемблера ADSP-21xx

Лекція № 5. Методика розробки програмного забезпечення и моделювання роботи цифрових сигнальних процесорів ADSP-21xx.

1. Середовище розробки програм для DSP VisualDSP (сесія ADSP-218X)
2. Приклади програм обробки інформації на асемблері ADSP-218X
3. Приклад проектування мікропроцесорної системи обробки інформації на базі ADSP-218X

Тема 3. ЦПОС З МІКРОСИГНАЛЬНОЮ ГАРВАРДСЬКОЮ АРХІТЕКТУРОЮ

Лекція № 6. Апаратні засоби ЦПОС з мікросигнальною гарвардською архітектурою

1. Архітектура арифметичних пристроїв
2. Організація адресного простору
3. Архітектура інтерфейсних пристроїв
4. Система переривань

Лекція № 7. Програмні засоби ЦПОС з модифікованою гарвардською архітектурою

1. Класифікація команд ЦПОС ADSP-BF5XX по функціональному призначенню
2. Стисла характеристика мови асемблера ЦПОС BlackFin
3. Основи технології розробки програмного забезпечення з використанням асемблера ADSP- BF5XX

Лекція № 8. Методика розробки програмного забезпечення и моделювання роботи цифрових сигнальних процесорів ADSP-BF5XX.

1. Приклади програм обробки інформації на асемблері ADSP-BF5XX
2. Середовище розробки програм для DSP VisualDSP (сесія BlackFin)
3. Приклад проектування мікропроцесорної системи обробки інформації на базі ADSP-BF532

ЗМІСТОВІЙ МОДУЛЬ 2

АПАРАТНО-ПРОГРАМНА РЕАЛІЗАЦІЯ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ НА БАЗІ ПРОЦЕСОРІВ З ЯДРОМ ARM–Cortex M4

Тема 4. АПАРАТНО-ПРОГРАМНІ ЗАСОБИ ОБЧИСЛЮВАЛЬНОГО ЯДРА Cortex M4

Лекція № 9. Основи Cortex M4

1. Регістри
2. Регістри спеціального призначення
3. Режими роботи
4. Виключення і переривання
5. Таблиця векторів та стек.

Лекція № 10. Система пам'яті

1. Основні особливості системи пам'яті
2. Карта пам'яті
3. Атрибути доступу до пам'яті

Лекція № 11. Особливості реалізації Cortex M4

1. Конвеєр
2. Детальна блок-схема
3. Інтерфейси шин в Cortex M4
4. Типова схема підключення процесору

Лекція № 12 Контролер вкладених векторних переривань

1. Загальні свідомості про контролер переривань
2. Базові засоби конфігурації переривань
3. Приклади ініціалізації переривань
4. Програмні переривання

Лекція № 13. Програмування Cortex M4

1. Загальні свідомості
2. Типовий процес розробки програмного забезпечення
3. Використання мови C
4. Стандарт CMSIS
5. Використання асемблера

Лекція № 14. Методика розробки програмного забезпечення для мікроконтролерів ARM Cortex M4

1. Середовище розробки програмного забезпечення IAR Embedded Workbench for ARM
2. Середовище розробки програмного забезпечення Keil u-Vision for ARM
3. Середовище розробки програмного забезпечення Coocox CoIDE

Лекція № 15. Приклади розробки програмного забезпечення і моделювання роботи цифрових пристроїв на базі мікроконтролерів сімейства STM32F32.

1. Приклади програм цифрової обробки сигналів на C для мікроконтролерів STM32F32
3. Приклад проектування мікропроцесорної системи обробки інформації на базі мікроконтролерів сімейства STM32F32

ЗМІСТОВІЙ МОДУЛЬ 3

ПРОЕКТУВАННЯ СИСТЕМ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ НА ПРИСТРОЯХ ПРОГРАМОВАНОЇ ЛОГІКИ (ПЛІС)

Тема 5. ПРОЕКТУВАННЯ МІКРОПРОЦЕСОРІВ ТА ПРИСТРОЇВ ЦОС НА БАЗІ ПЛІС

Лекція № 16. Огляд архітектури ПЛІС .

1. Топологія FPGA.
2. Логічна секція. Секція цифрової обробки сигналів.
3. Блоки пам'яті, синхронізації і системного контролю.

Лекція № 17. Огляд технології візуального проектування систем цифрової обробки сигналів на ПЛІС

1. Робота з програмним забезпеченням
2. Етапи проектування систем цифрової обробки сигналів на ПЛІС.
3. Переваги, недоліки технології

Лекція № 18. Принципи розробки моделей систем ЦОС з використанням програми System Generator

1. Основи роботи в Simulink.
2. Огляд блоків бібліотеки System Generator.
3. Перетворення даних в System Generator.

Лекція № 19. Проектування мікропроцесора на основі синхронних ресурсів ПЛІС

1. Використання синхронної пам'яті для зберігання коду.
2. Поділ команди на такти: вибірка, декодування, виконання.
3. Керуючий автомат. Логіка переходів і стек повернень.

Лекція № 20. Системи на кристалі, спеціалізація процесора і використання спеціалізованих ресурсів ПЛІС.

1. Поняття систем на кристалі (SoC - System-On-Chip).
2. Переваги SoC-підходу.
3. Використання виділених ресурсів ПЛІС для реалізації вузлів системи на кристалі.

Лекція № 21. Основи спільної розробки апаратного і програмного забезпечення мікропроцесорних систем на ПЛІС

1. Мови високого рівня в описі апаратури (Handel-C)
2. Принципи спільного проектування апаратури і програмного забезпечення.
3. Особливості розробки асемблера для програмованих процесорів.

Лекція № 22 Проектування цифрових інтерфейсів

1. Синхронні та асинхронні інтерфейси зовнішньої пам'яті.
2. Стандартні інтерфейси і шини ПК: ISA, PCI, LPT, UART
3. Інтерфейси вимірювальних і управляючих систем: паралельні і послідовні інтерфейси ЦАП и АЦП, I2C, SPI.

Лекція № 23. Проектування фільтрів на ПЛІС.

1. Варіанти реалізації фільтрів з кінцевою імпульсною реакцією на ПЛІС: MAC-FIR-фільтри, фільтри з розподіленою архітектурою обчислень.
2. Розрахунок параметрів фільтрів